



RUPRECHT-KARLS-
UNIVERSITÄT
HEIDELBERG

Fakultät für Physik und Astronomie, Institut für Technische Informatik

DIFFERENTIELLE STROMLOGIK

Advanced Seminar – Computer Engineering

Heidelberg, den 30. Januar 2015



Nachteile der CMOS-Logik:

- Ungeeignet für hohe Frequenzen:
 - Leistung nimmt mit Frequenz zu
 $\Rightarrow P_{\text{CMOS}} = f C_{\text{Out}} V_{\text{DD}}^2$
 - großer Ausgangsspannungshub (rail-to-rail), verlängert Laden/Entladen von $C_{\text{Out}} \Rightarrow t_{\text{pd}} \uparrow$
- Verzögerungszeit(en) abhängig von:
 - V_{DD} u. V_{th}
 $\Rightarrow t_{\text{pHL/LH}} \propto \frac{C_{\text{Out}} V_{\text{DD}}}{I_{\text{D}}} \propto \frac{C_{\text{Out}} V_{\text{DD}}}{\frac{W_{\text{n,p}}}{L_{\text{n,p}}} C_{\text{ox}} \mu (V_{\text{DD}} \pm V_{\text{th}})^2}$
- Hervorrufen von:
 - Versorgungsrauschen (supply noise)
 - Stromspitzen
 - Ground bounce
- PMOS-Transistor langsamer (μ), bei Schaltungsdesign zu beachten

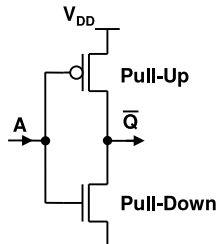


Abb. 1: CMOS-Inverter

1. CMOS

Warum nicht?



Nachteile der CMOS-Logik:

- Ungeeignet für hohe Frequenzen:
 - Leistung nimmt mit Frequenz zu
 $\Rightarrow P_{\text{CMOS}} = f C_{\text{Out}} V_{\text{DD}}^2$
 - großer Ausgangsspannungshub (rail-to-rail), verlängert Laden/Entladen von $C_{\text{Out}} \Rightarrow t_{\text{pd}} \uparrow$
- Verzögerungszeit(en) abhängig von:
 - V_{DD} u. V_{th}
 $\Rightarrow t_{\text{pHL/LH}} \propto \frac{C_{\text{Out}} V_{\text{DD}}}{I_{\text{D}}} \propto \frac{C_{\text{Out}} V_{\text{DD}}}{\frac{W_{\text{n,p}}}{L_{\text{n,p}}} C_{\text{ox}} \mu (V_{\text{DD}} \pm V_{\text{th}})^2}$
- Hervorrufen von:
 - Versorgungsrauschen (supply noise)
 - Stromspitzen
 - Ground bounce
- PMOS-Transistor langsamer (μ), bei Schaltungsdesign zu beachten

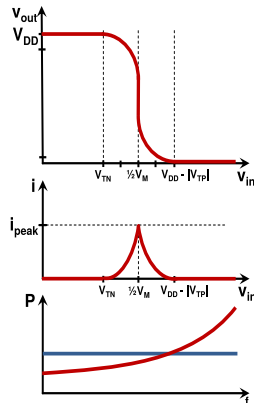


Abb. 2: CMOS: Stromfluss u. Leistungsaufnahme

2. Current Mode Logic Aufbau



- Basiert auf dem differentiellen Paar
- Pull-Up Netzwerk
- Pull-Down Netzwerk \Rightarrow logische Funktion
- Konstantstromquelle
- Differentielle Ein- u. Ausgangssignale
 - D. h. Signal + inverses Signal
 - Ausgangssignal $\Delta V = V_{out} - V_{\overline{out}}$
 - Logischer „Low“-Zustand entspricht negativem Differenzsignal
 - Logischer „High“-Zustand entspricht positivem Differenzsignal

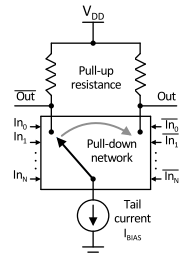


Abb. 3: Grundsätzlicher Aufbau der CML [1]

2. Current Mode Logic Funktionsweise



- Differentielles Paar:
 - Strom wird über einen Zweig gelenkt
 - Spannungsabfall am Lastnetzwerk:
 - Je ein Ausgang V_{DD} (High) od. $V_{DD} - I_0 R_L$ (Low)
 - Ausgangssignal $\Delta V = V_{out} - V_{\overline{out}}$
 - Ausgangsspannungshub:
 $\Delta V = V_{out} - V_{\overline{out}} = I_0 R_L$

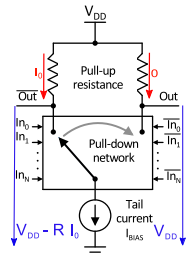


Abb. 3: Grundsätzlicher Aufbau der CML [1]

2. Current Mode Logic Eigenschaften



- Kleiner Ausgangsspannungshub ΔV
- Arbeit in Sättigung, d. h. linearer Bereich wird vermieden

- ⇒ Kleiner Ausgangsspannungshub
- ⇒ Kleine Verzögerungszeit t_{pd}

$$t_{pd} = \frac{C_{out} \Delta V}{I_0}$$

- Leistung $P = R I_0$
 - ⇒ Nur statische Leistungsaufnahme – durch konstanten Stromfluss

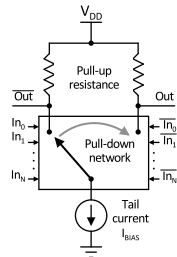


Abb. 3: Grundsätzlicher Aufbau der CML [1]

2. Current Mode Logic

Vorteile



- Konstanter Strom:
 - Keine Stromspitzen \Rightarrow kein Stromrauschen
 - Kein Ground Bounce ($V = L \, di/dt$)
- Störaussendung und Störfestigkeit:
 - Unterdrückt Gleichtaktstörungen (differentielle Übertragung)
 - Kleiner Signalhub ΔV reduziert kapazitive Überkopplungen
- Für Hochgeschwindigkeitsanwendungen geeignet
- Log. Funktion nur mit NMOS od. PMOS
 - NMOS schneller, weniger Platzbedarf
 - PMOS für Strahlenfestigkeit
- Nur wenige Grundgatter nötig:
 - Einfache Umsetzung der Negation
 - Einzelne Boole'sche Funktionen können ineinander überführt werden

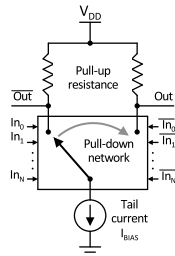


Abb. 3: Grundsätzlicher Aufbau der CML [1]

2. Current Mode Logic Nachteile



- Statische Leistungsaufnahme
- Doppelte Anzahl an Signalleitungen nötig
- Geringer Rauschabstand (Noise Margin)
- Aufwendiger Aufbau:
 - Konstantstromquelle
 - Pull-UP Netzwerk: Ohm'scher Widerstand, PMOS etc.

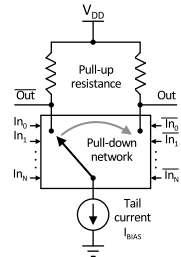


Abb. 3: Grundsätzlicher Aufbau der CML [1]

2. Current Mode Logic

Vergleich CML und CMOS



Tab. 1: Vergleich von CML/CMOS Kenndaten

	CML	CMOS
P_{Stat}	$V_{DD} I_0$	0
P_{Dyn}	0	$C_f V_{DD}^2$
ΔV	$R I_0$	$\approx V_{DD}$
V_{OH}	V_{DD}	$\approx V_{DD}$
V_{OL}	$V_{DD} - \Delta V$	≈ 0
NM^1	gering	hoch ($\approx V_{DD}/2$)
MOS Typ	N od. P	N u. P

¹Noise Margin

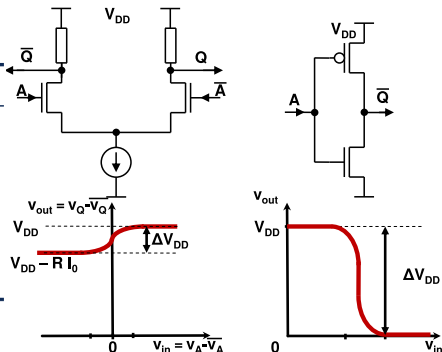


Abb. 4: CMOS und CML-Inverter: Schaltung (oben), Aus-Eingangsspannungskennlinie (unten)

3. Lastkreis „ideale“ Last



CML-Inverter

- Konstantstromquelle umgesetzt mit MOS-Transistor
- Differentielles Paar – mit konstantem Strom I_0
- Last erzeugt Ausgangsspannungshub aus dem Strom I_0 ($I \rightarrow U$)

$$V_{\text{High}} = V_{\text{DD}} - V_{\text{TH}} - V_{\text{DSat}}$$

$$V_{\text{Low}} = V_{\text{SS}}$$

Charakteristik der „idealen“ Last

- V_{High} -Pegel an max. möglichen Eingangspegel ($V_{\text{DD}} - V_{\text{TH}}$)
- V_{Low} -Pegel muss den kompletten Strom schalten
- $1/2 I_0$ -Ebene garantiert gleiche Anstiegs- u. Abfallzeiten

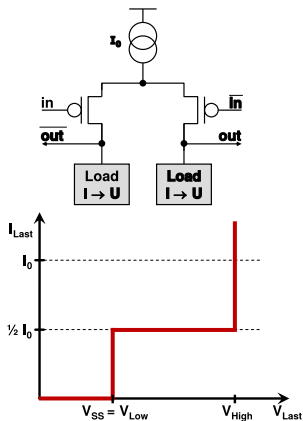


Abb. 5: Prinzipskizze: CML-Inverter (oben) u. „ideale“ Last, in Anlehnung an [2]

3. Lastkreis

Implementierung der „idealen“ Last



Annäherung an die ideale Last

- NMOS-Transistor als Stromquelle
- „diode-connected“-NMOS gegen GND

Parameter:

- V_{SS} : dient zum Einstellen des Ausgangsspannungshubes
- V_{Bias} : dient zum Einstellen des Stromes der NMOS-Stromquellen auf $1/2 I_0$

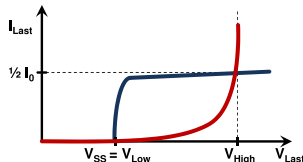
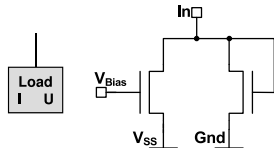


Abb. 6: Zusammensetzung der Kennlinie einer CML-Last: in rot „diode-connected“-NMOS u. blau NMOS-Stromquelle, in Anlehnung an [2]

3. Lastkreis

Implementierung der „idealen“ Last



Annäherung an die ideale Last

- NMOS-Transistor als Stromquelle
- „diode-connected“-NMOS gegen GND

Parameter:

- V_{SS} : dient zum Einstellen des Ausgangsspannungshubes
- V_{Bias} : dient zum Einstellen des Stromes der NMOS-Stromquellen auf $1/2 I_0$

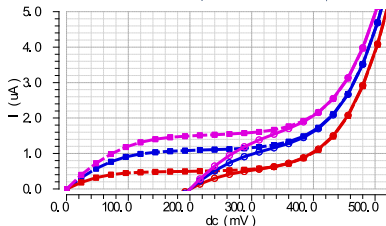


Abb. 7: I-U-Kennlinien der Last für verschiedene Biasströme mit I_0 von 1 μA (rot), 2 μA (blau) u. 3 μA (lila) sowie $U_{SS} = 0$ mV (durchgängige Linie) bzw. 200 mV (Strichlinie)

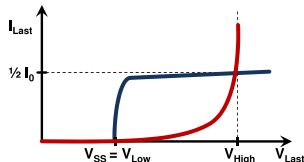
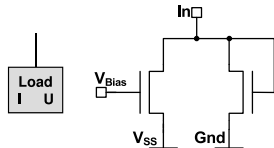


Abb. 6: Zusammensetzung der Kennlinie einer CML-Last: in rot „diode-connected“-NMOS u. blau NMOS-Stromquelle, in Anlehnung an [2]

3. Lastkreis

Alternative Implementierung der Last



Aufbau Lastkreis:

- „diode-connected“-NMOS, legt den „Low“-Pegel (Stromfluss) fest
- PMOS-Stromquelle legt das „High“-Level (kein Stromfluss) fest
- Plateau bei $1/2 I_0$
- $V_{DD2} > V_{DD1}$

Stromquelle:

- NMOS-Transistor als Stromquelle für I_0

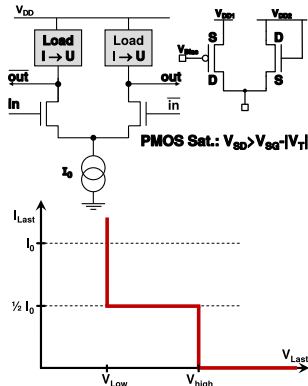


Abb. 8: Prinzipskizze: CML-Inverter mit Lastkreis (oben) u. Kennlinie der „idealen“ Last (unten)

3. Lastkreis

Alternative Implementierung der Last



Aufbau Lastkreis:

- „diode-connected“-NMOS, legt den „Low“-Pegel (Stromfluss) fest
- PMOS-Stromquelle legt das „High“-Level (kein Stromfluss) fest
- Plateau bei $\frac{1}{2}I_0$
- $V_{DD2} > V_{DD1}$

Stromquelle:

- NMOS-Transistor als Stromquelle für I_0

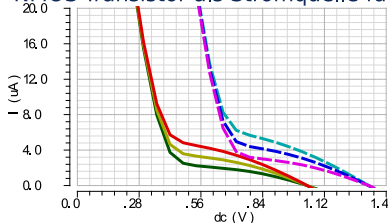


Abb. 9: I-U-Kennlinien der Last mit $V_{DD2} = 1,8V$ (durchgängige Linie) u. $2,1V$ (Strichlinie)

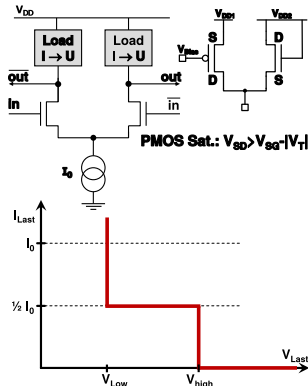


Abb. 8: Prinzipskizze: CML-Inverter mit Lastkreis (oben) u. Kennlinie der „idealen“ Last (unten)

3. Lastkreis

Inductive Peaking – Grundidee



- Ziel: Reduktion von t_{pd}
- Idee: C_L zuerst mit Strom laden
 1. NMOS schaltet \Rightarrow Stromänderung
 2. Strom in Spule kann sich nicht sprungartig ändern, d. h.
 - Induktivität L behindert Stromfluss ($Z = j \omega L$)
 3. Strom lädt $C_L \Rightarrow$ Spannungspegel früher erreicht $\Rightarrow t_{pd} \downarrow$
 4. Flankensteilheit (slew rate) steigt

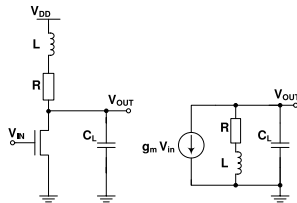


Abb. 10: links: Grundschtung induktive Spannungsüberhöhung, rechts: Kleinsignalersatzschaltbild, in Anlehnung an [3]

3. Lastkreis

Inductive Peaking – Frequenzbereich



Frequenzbereich:

- Einfügen einer weiteren Polstelle
- System zweiter Ordnung (sprungfähig)
- Verstärkung:

$$V = g_m Z_{out} = g_m R_L \frac{s(L+R)+1}{s^2 L C_L + s R C_L + 1}$$

× L = 0

× L = 0,2 R² C_L

× L = 0,4 R² C_L

× L = 0,8 R² C_L

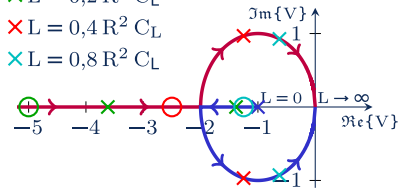


Abb. 11: Ortskurve als Funktion von L - normiert auf 1/RC, RC = 1 und g_mC = 1

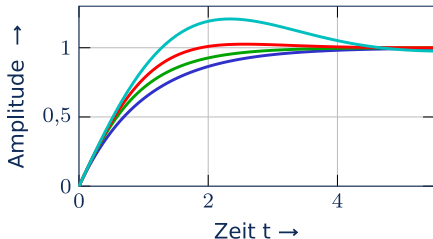
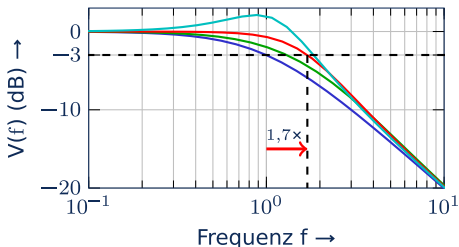


Abb. 12: Frequenzgang (o.) und Sprungantwort (u.)

3. Lastkreis

Inductive Peaking – Frequenzbereich



Bandbreite:

- $L = m R^2 C_L$
 - Ohne Induktivität: $L = 0$;
 $BW = 1$
 - Maximale Bandbreite:
 $m = 0,54$; $BW = 1,85$
 - Maximaler flacher
Frequenzgang: $m = 0,41$;
 $BW = 1,7$
 - Gruppenlaufzeit: $m = 0,31$;
 $BW = 1,6$
- ⇒ Auswählen des besten m
z. B. durch Augen-
diagramm [4]

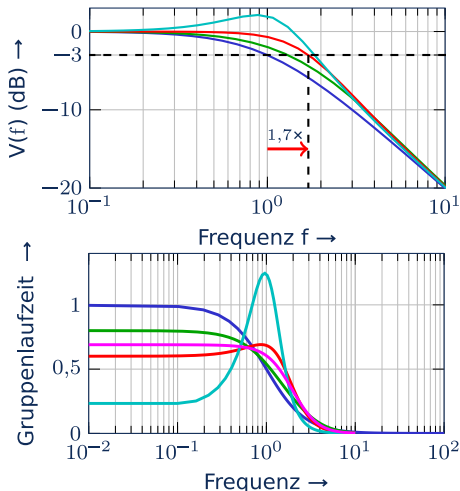


Abb. 13: Frequenzgang (o.) und Gruppenlaufzeit (u.)

3. Lastkreis

Inductive Peaking – Umsetzung



- Frequenzverhalten:
 - niedrige Frequenzkomponenten:
 C_{GS} „offen“ $\Rightarrow Z = 1/g_m$
(„Diode“ leitet)
 - hoch Frequenzkomponenten:
 C_{GS} „short“ $\Rightarrow Z = R_G$
- \Rightarrow induktives Verhalten

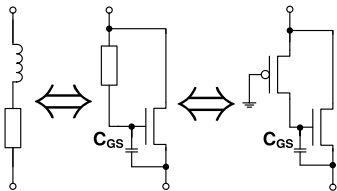


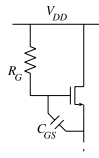
Abb. 14: Äquivalente Lasten zur Umsetzung der induktiven Spannungsüberhöhung, in Anlehnung an [3]

3. Lastkreis

Inductive Peaking – Umsetzung



- Frequenzverhalten:
 - niedrige Frequenzkomponenten:
 C_{GS} „offen“ $\Rightarrow Z = 1/g_m$
(„Diode“ leitet)
 - hoch Frequenzkomponenten:
 C_{GS} „short“ $\Rightarrow Z = R_G$
- \Rightarrow induktives Verhalten



(a)

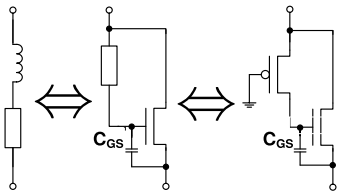
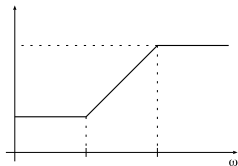


Abb. 14: Äquivalente Lasten zur Umsetzung der induktiven Spannungsüberhöhung, in Anlehnung an [3]



(b)

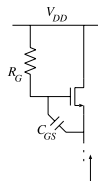
Abb. 15: Aktive Impedanz (a) und deren Impedanzverlauf (b) [5]

3. Lastkreis

Inductive Peaking – Umsetzung



- Frequenzverhalten:
 - niedrige Frequenzkomponenten:
 C_{GS} „offen“ $\Rightarrow Z = 1/g_m$
 („Diode“ leitet)
 - hoch Frequenzkomponenten:
 C_{GS} „short“ $\Rightarrow Z = R_G$
- \Rightarrow induktives Verhalten



(a)

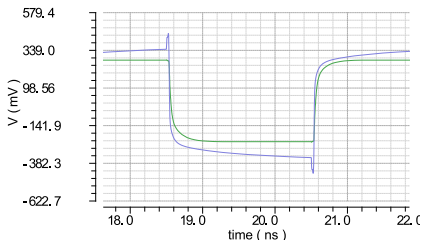
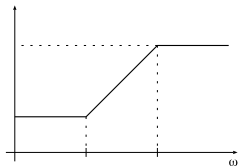


Abb. 16: Differenzielles Ausgangssignal: mit induktiver Spannungsüberhöhung (blau) und ohne induktiver Spannungsüberhöhung (grün)



(b)

Abb. 15: Aktive Impedanz (a) und deren Impedanzverlauf (b) [5]

4. Logikgatter in CML

Grundgatter



Inverter/Puffer

- Inverter u. Puffer ineinander überführbar
- Transistor M1 u. M2 dienen der Stromlenkung
- \Rightarrow Lenken Strom I_0

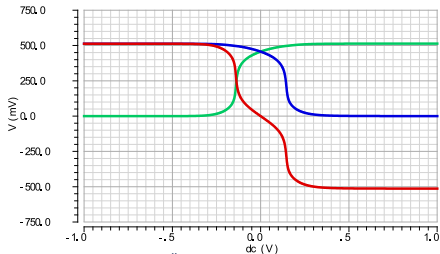


Abb. 18: CML-Inverter Übertragungscharakteristik mit $U_{SS} = 0V$

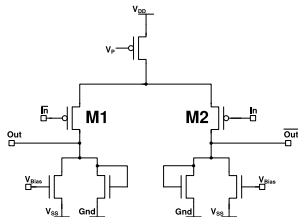


Abb. 17: Inverter in CML, mit exemplarischer Stromquelle u. Lastwiderstand

4. Logikgatter in CML

Grundgatter



Inverter/Puffer

- Inverter u. Puffer ineinander überführbar
- Transistor M1 u. M2 dienen der Stromlenkung
- \Rightarrow Lenken Strom I_0

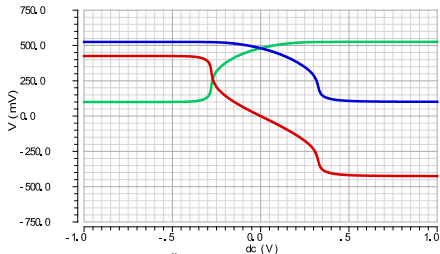


Abb. 19: CML-Inverter Übertragungscharakteristik mit $U_{SS} = 100\text{ mV}$

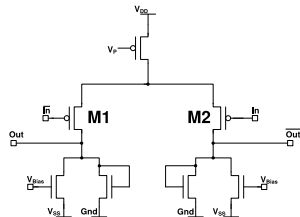


Abb. 17: Inverter in CML, mit exemplarischer Stromquelle u. Lastwiderstand

4. Logikgatter in CML

Grundgatter



Inverter/Puffer

- Inverter u. Puffer ineinander überführbar
- Transistor M1 u. M2 dienen der Stromlenkung
- \Rightarrow Lenken Strom I_0

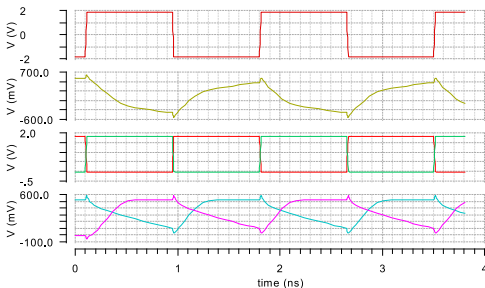


Abb. 20: Transienten Simulation CML-Inverter

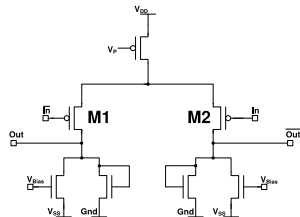


Abb. 17: Inverter in CML, mit exemplarischer Stromquelle u. Lastwiderstand

4. Logikgatter in CML

UND und ODER-Gatter



UND $Q = A B$ ($\bar{Q} = \overline{A B} = \bar{A} + \bar{B}$):

- Bildung des Q -Signals:
 - Reihenschaltung von \bar{A} u. \bar{B}
 - A u. B betätigt
 - Strom $i_{A B}$ fließt über M1 – M3
 - Führt zu Spannungsabfall über CML-Last
- Bildung des \bar{Q} -Signals:
 - Parallelschaltung von A u. B
- Strom $i_{A B}$ fließt über M1 – M3
- CML-Last formt Strom in Spannungsabfall um

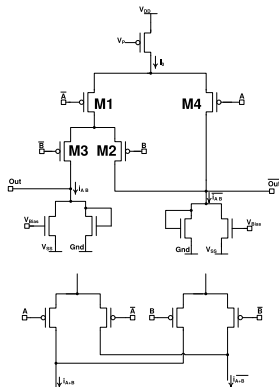


Abb. 21: Prinzipielle Implementierung der: UND- (oben) u. ODER-Funktion (unten)

4. Logikgatter in CML

UND und ODER-Gatter



ODER $Q = A + B$ ($\overline{Q} = \overline{A + B} = \overline{A} \overline{B}$):

1. Anwendung des De Morgan'schen Gesetzes
 - UND $Q = A B$ ($\overline{Q} = \overline{A B} = \overline{A} + \overline{B}$):
2. ODER-Funktion Bestandteil einer weiteren Funktion \Rightarrow Implementierung als Parallelschaltung des CML-Puffers

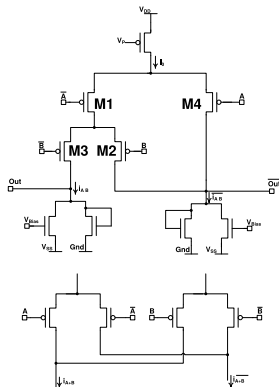


Abb. 22: Prinzipielle Implementierung der: UND- (oben) u. ODER-Funktion (unten)

4. Logikgatter in CML

Exklusives Oder – XOR



XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

- Verknüpfung der Einzelterme

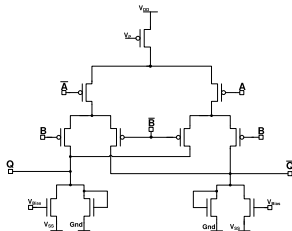


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

- Verknüpfung der Einzelterme
- UND

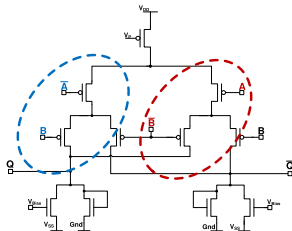


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

- Verknüpfung der Einzelterme
- UND
- ODER

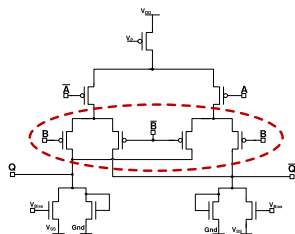


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

- Verknüpfung der Einzelterme
- UND
- ODER

Tab. 2: Wertetabelle XOR

\bar{Q}	Q	B	A
		0	0
		0	1
		1	0
		1	1

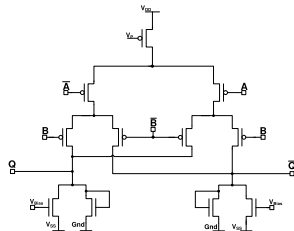


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

- Verknüpfung der Einzelterme
- UND
- ODER

Tab. 2: Wertetabelle XOR

\bar{Q}	Q	B	A
1	0	0	0
		0	1
		1	0
		1	1

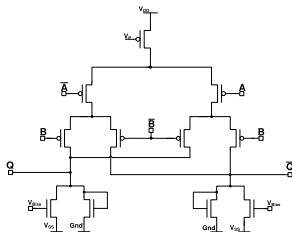


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

- Verknüpfung der Einzelterme
- UND
- ODER

Tab. 2: Wertetabelle XOR

\bar{Q}	Q	B	A
1	0	0	0
0	1	0	1
		1	0
		1	1

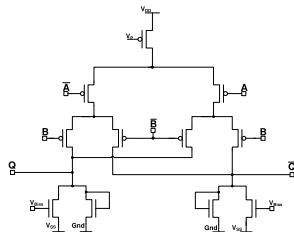


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

- Verknüpfung der Einzelterme
- UND
- ODER

Tab. 2: Wertetabelle XOR

\bar{Q}	Q	B	A
1	0	0	0
0	1	0	1
0	1	1	0
1	0	1	1

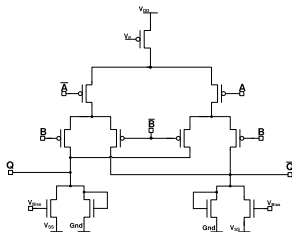


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



Alternativ: XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

$$Q = A \oplus B = \bar{A}B + A\bar{B}$$

$$Q|_{\text{PMOS}} = A\bar{B} + \bar{A}B$$

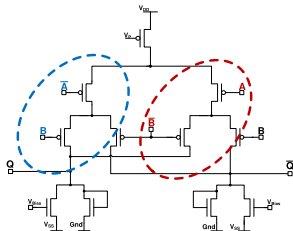


Abb. 23: XOR-Gatter

4. Logikgatter in CML

Exklusives Oder – XOR



Alternativ: XOR $Q = A \oplus B = \bar{A}B + A\bar{B}$:

$$Q = A \oplus B = \bar{A}B + A\bar{B}$$

$$Q|_{\text{PMOS}} = A\bar{B} + \bar{A}B$$

$$\bar{Q} = \overline{A \oplus B} = \overline{\bar{A}B + A\bar{B}}$$

$$\overline{Q|_{\text{PMOS}}} = \overline{A\bar{B} + \bar{A}B}$$

$$\overline{Q|_{\text{PMOS}}} = \overline{\bar{A}B} \overline{A\bar{B}}$$

$$\overline{Q|_{\text{PMOS}}} = (\bar{A} + B)(A + \bar{B})$$

$$\overline{Q|_{\text{PMOS}}} = \underbrace{\bar{A}A}_0 + \bar{A}\bar{B} + BA + \underbrace{B\bar{B}}_0$$

$$\overline{Q|_{\text{PMOS}}} = \bar{A}\bar{B} + BA$$

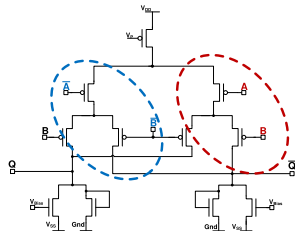


Abb. 23: XOR-Gatter

4. Logikgatter in CML

2-zu-1-Multiplexer



2-1-Mux $Q = AS + \bar{S}B$:

- Abgeleitet aus XOR $Q = \bar{A}B + A\bar{B}$
- S Steuersignal

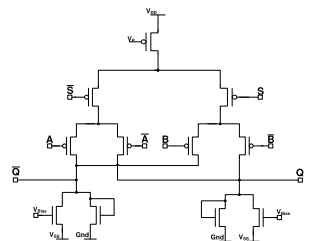


Abb. 24: 2-1-Multiplexer

4. Logikgatter in CML

2-zu-1-Multiplexer



2-1-Mux $Q = AS + \bar{S}B$:

- Abgeleitet aus XOR $Q = \bar{A}B + A\bar{B}$
- S Steuersignal
⇒ Bestimmt, ob A od. B am Ausgang anliegt

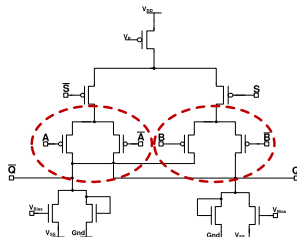


Abb. 24: 2-1-Multiplexer

4. Logikgatter in CML

Latch



D-Latch: $Q_n = C D + \overline{C} Q_{n-1}$

- vgl. Boole'sche Funktion 2-1-MUX
($Q = A S + \overline{S} B$)
- Signale:
 - C: Taktsignal
 - D: Datensignal
 - Q_n : Aktueller Ausgangswert
 - Q_{n-1} : Vorheriger Ausgangswert
- Speicherelement – bei C:
 - „High“ wird D übernommen
 - „Low“ Q wird gehalten

4. Logikgatter in CML

Latch



D-Latch: $Q_n = CD + \overline{C}Q_{n-1}$

- vgl. Boole'sche Funktion 2-1-MUX ($Q = AS + \overline{S}B$)
- Signale:
 - C: Taktsignal
 - D: Datensignal
 - Q_n : Aktueller Ausgangswert
 - Q_{n-1} : Vorheriger Ausgangswert
- Speicherelement – bei C:
 - „High“ wird D übernommen
 - „Low“ Q wird gehalten

Speicher („Gedächtnis“)

- Selbsthalte-Funktion
- Kaskadierung von zwei Invertern

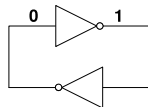


Abb. 25: Prinzipdarstellung Rückkopplung

4. Logikgatter in CML

Latch



D-Latch: $Q_n = CD + \bar{C}Q_{n-1}$

- vgl. Boole'sche Funktion 2-1-MUX ($Q = AS + \bar{S}B$)
- Signale:
 - C: Taktsignal
 - D: Datensignal
 - Q_n : Aktueller Ausgangswert
 - Q_{n-1} : Vorheriger Ausgangswert
- Speicherelement – bei C:
 - „High“ wird D übernommen
 - „Low“ Q wird gehalten

Speicher („Gedächtnis“)

- Selbsthalte-Funktion
- Kaskadierung von zwei Invertern

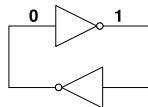


Abb. 25: Prinzipdarstellung Rückkopplung

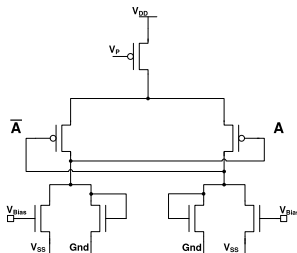


Abb. 26: Umsetzung der Selbsthaltung in CML

4. Logikgatter in CML

Latch



D-Latch: $Q_n = CD + \bar{C}Q_{n-1}$

- vgl. Boole'sche Funktion 2-1-MUX ($Q = AS + \bar{S}B$)
- Signale:
 - C: Taktsignal
 - D: Datensignal
 - Q_n : Aktueller Ausgangswert
 - Q_{n-1} : Vorheriger Ausgangswert
- Speicherelement – bei C:
 - „High“ wird D übernommen
 - „Low“ Q wird gehalten

Beispiel

- A „Low“, \bar{A} „High“
- ⇒ I_0 fließt über M_A

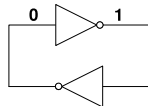


Abb. 25: Prinzipdarstellung Rückkopplung

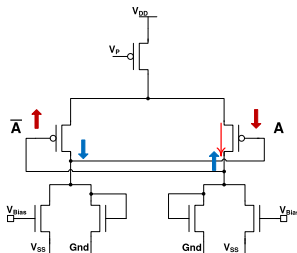


Abb. 26: Umsetzung der Selbsthaltung in CML

4. Logikgatter in CML

Latch



D-Latch: $Q_n = CD + \bar{C}Q_{n-1}$

- vgl. Boole'sche Funktion 2-1-MUX ($Q = AS + \bar{S}B$)
- Signale:
 - C: Taktsignal
 - D: Datensignal
 - Q_n : Aktueller Ausgangswert
 - Q_{n-1} : Vorheriger Ausgangswert
- Speicherelement – bei C:
 - „High“ wird D übernommen
 - „Low“ Q wird gehalten

Beispiel

- A „Low“, \bar{A} „High“
- ⇒ I_0 fließt über M_A
- externes Signal an A u. \bar{A} wird getrennt
- ⇒ I_0 fließt weiterhin über M_A

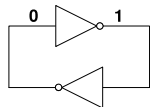


Abb. 25: Prinzipdarstellung Rückkopplung

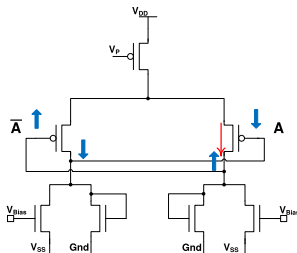


Abb. 26: Umsetzung der Selbsthaltung in CML

4. Logikgatter in CML

Latch



D-Latch: $Q_n = CD + \overline{C}Q_{n-1}$

- Abhängig von C liegt am Eingang D oder Q_{n-1} an \Rightarrow 2-zu-1-Multiplexer

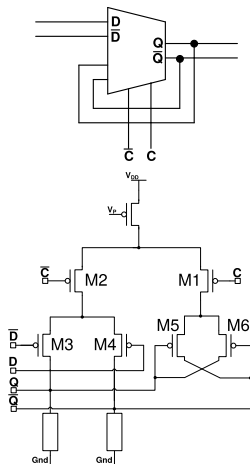


Abb. 27: D-Latch als MUX (o.) CML-Schaltkreis (u.)

4. Logikgatter in CML

Latch



D-Latch: $Q_n = CD + \overline{C}Q_{n-1}$

- Abhängig von C liegt am Eingang D oder Q_{n-1} an \Rightarrow 2-zu-1-Multiplexer
- Zusammengesetzt aus:
 - „Sample“ Mode
 - CML-Puffer aktiv
 - Führt Eingangssignal zum Ausgang
 - „Hold“ Mode
 - Wird bei Polaritätswechsel aktiv
 - Es fließt kein Strom über „Sample“ Paar
 - Kreuzgekoppelte MOSFETs – selbsthaltendes Feedback
 - Ausgangspegel wird gehalten

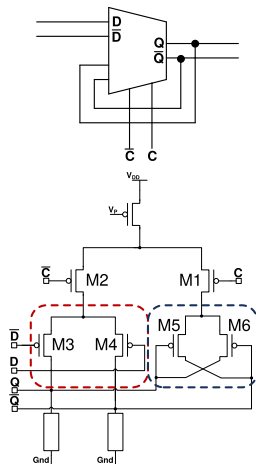


Abb. 27: D-Latch als MUX (o.) CML-Schaltkreis (u.)

4. Logikgatter in CML

Latch



D-Latch: $Q_n = CD + \bar{C}Q_{n-1}$

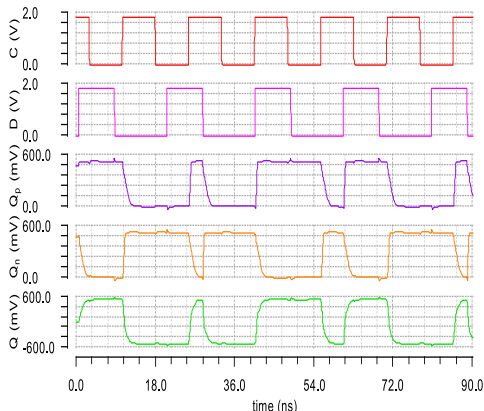


Abb. 28: Transienten Simulation des D-Latches

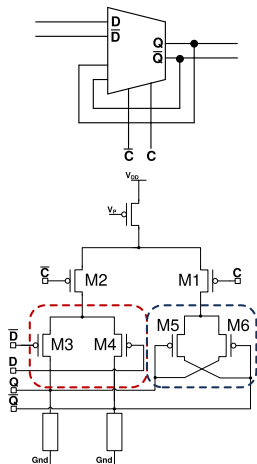


Abb. 27: D-Latch als MUX (o.) CML-Schaltkreis (u.)

4. Logikgatter in CML

Latched CML Gatter



- Stacking erlaubt einfaches kombinieren von Funktionen
- Realisierung von „Latched“ Gates

Latch mit XOR:

- XOR-Gate befindet sich an transparenter Seite des Latches
- Erlaubt Gates einzusparen
- Schneller als separate Implementierung [8]
- Setzt den Ausgangspegel:
 - „Low“ – wenn D1 und D2 gleich sind
 - „High“ – wenn diese unterschiedlich sind

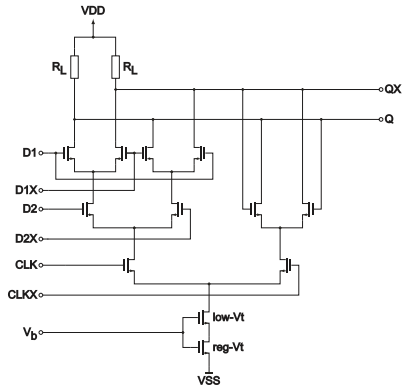


Abb. 29: CML XOR mit Latch [8]

4. Logikgatter in CML

Latched CML Gatter



- Stacking erlaubt einfaches kombinieren von Funktionen
- Realisierung von „Latched“ Gates

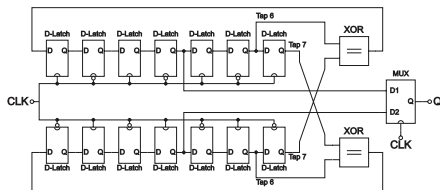


Abb. 30: Blockdiagramm eines pseudozufälligen Bitsequenz-Generators bestehend aus verschränkten Schieberegistern [8]

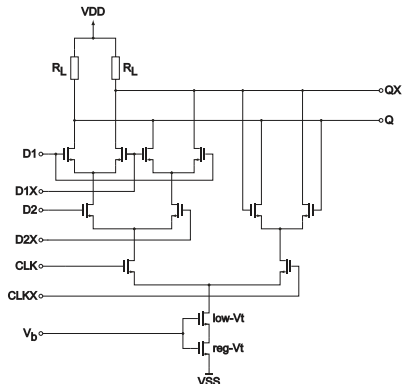


Abb. 29: CML XOR mit Latch [8]

5. Resümee und Schlussbemerkungen



- Differentielle Übertragung \Rightarrow unempfindlich gegen Gleichtaktstörungen
- Kleiner Ausgangsspannungshub $\Rightarrow t_{pd} \downarrow$
- Leistungsaufnahme ist konstant
- Verursacht:
 - Kein Stromrauschen
 - Kein Ground Bounce
 - Kaum kapazitives Überkoppeln

5. Resumee und Schlussbemerkungen



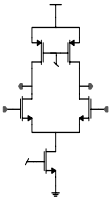
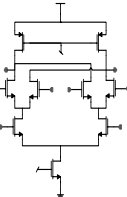
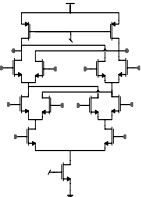
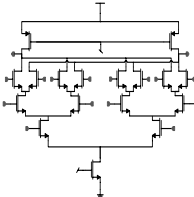
<p>Generic component</p>				
<p>Main functions implemented</p>	<p>Inverter Buffer</p>	<p>2-input AND / NAND 2-input OR / NOR 2-input XOR / XNOR 2-to-1 MUX D-Latch</p>	<p>3-input AND/NAND 3-input OR / NOR 3-input XOR / XNOR 3-input AND-OR 3-input OR-AND Full Adder (2 gates)</p>	<p>4-to-1 Multiplexer SR Latch D-latch with Set/Reset</p>

Abb. 32: Stacked CML-Gatter und deren Funktion [6]

5. Resümee und Schlussbemerkungen

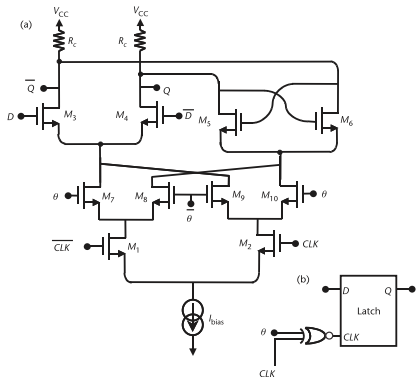


Abb. 33: CML-Latch mit invertierbarer Clock (a) Schaltplan (b) Symbol [7]

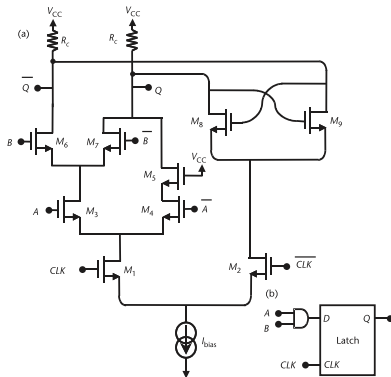


Abb. 34: CML Latch mit AND (a) Schaltplan (b) Symbol [7]



- [1] Shapiro, A.; Friedman, E. G.: MOS Current Mode Logic Near Threshold Circuits. Journal of Low Power Electronics and Applications, Bd. 4, Nr. 2, S. 138–152, 2014
- [2] Krüger, H.: Simultaneous Photon Counting and Charge Integrating Readout Electronics for X-ray Imaging, Stand: 14.01.2015, Mai 2006. <http://fee2006.pg.infn.it/talks/fee2006/wednesday/04-medical/03-Krueger-Simultaneous%20Photon%20Counting%20and%20Integration.ppt>
- [3] Lee, G.: Advances in Electrical and Electronics Engineering: Ser. WIT Transactions on Engineering Sciences. Southampton, U.K.: WIT Press, 2014
- [4] Poisel, R. A.: Electronic Warfare Receivers and Receiving Systems: Ser. Artech House Electronic Warfare Library. Artech House, 2015



- [5] Kalantari, N.; Green, M. M.: All-CMOS High-Speed CML Gates with Active Shunt-Peaking. In Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on, (Mai 2007), S. 2554–2557
- [6] Badel, S.; Hatirnaz, I.; Leblebici, Y.: Semi-automated design of a mos currentmode logic standard cell library from generic components. In Research in Microelectronics and Electronics, Bd. 2, (Juli 2005), S. 155–158
- [7] Rogers, J. W. M.; Plett, C.; Dai, F.: Integrated Circuit Design for High-speed Frequency Synthesis, Ser. Artech House microwave library. Boston, MA, USA: Artech House, 2006



- [8] Weiss, F.; Wohlmuth, H.-D.; Kehrer, D.; Scholtz, A. L.: A 24-Gb/s $2^7 - 1$ Pseudo Random Bit Sequence Generator IC in 0.13 μ m Bulk CMOS. In Solid-State Circuits Conference, 2006. ESSCIRC 2006. Proceedings of the 32nd European, (Sep. 2006), S. 468–471
- [9] Abdulkarim, O. M.; Shams, M.: A symmetric mos current-mode logic universal gate for high speed applications. In ACM Great Lakes Symposium on VLSI, (2007), S. 212–215
- [10] Alioto, M.; Badel, S.; Leblebici, Y.: Optimization of the Wire Grid Size for Differential Routing: Analysis and Impact on the Power-Delay-Area Tradeoff. Microelectronics Journal, Bd. 41, Nr. 10, S. 669–679, 2010



- [11] Alioto, M.; Palumbo, G.: Model and Design of Bipolar and MOS Current-Mode Logic: CML, ECL and SCL Digital Circuits. Berlin, Heidelberg: Springer-Verlag, 2006
- [12] Chen, W. K.: Fundamentals of Circuits and Filters, Ser. The Circuits and Filters Handbook, 3rd Edition. Boca Raton, FL, USA: CRC Press, 2009
- [13] Comer, D. T.: Introduction to Mixed Signal VLSI. Array Publishing Company, 1994
- [14] Fischer, P.; Kraft, E.: Low swing differential logic for mixed signal applications. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, Bd. 518, Nr. 1 — 2, S. 511–514, 2004, Frontier Detectors for Frontier Physics



- [15] Fu-Tian, L.; Datao, G.; Suen, H.; Chonghan, L.; Tiankuan, L.; Da-Shung, S.; Ping-Kun, T.; Annie, X.; Jingbo, Y.; Ge, J.: Active inductor shunt peaking in high-speed vcsel driver design. Chinese Physics C, Bd. 37, Nr. 11, S. 1–4, 2013
- [16] Green, M.: Cmos High-Speed Circuit Design Techniques, Stand: 14.01.2015, Mai 2014.
<http://gram.eng.uci.edu/faculty/green/public/courses/270c/materials/lectures/Week4/Week4.ppt>
- [17] Hartl, H.; Krasser, E.; Winkler, G.; Pribyl, W.; Söser, P.: Elektronische Schaltungstechnik: mit Beispielen in PSpice, Ser. Elektrotechnik: Theoretische Elektrotechnik. München: Pearson Studium, 2008
- [18] Hu, J.; Ni, H.; Xia, Y.: High-Speed Low-Power MCML Nanometer Circuits with Near-Threshold Computing. Journal of Computers, Bd. 8, Nr. 1, S. 129–135, Jan. 2013



- [19] Kesel, F.; Bartholomä, R.: Entwurf von digitalen Schaltungen und Systemen mit HDLs und FPGAs: Einführung mit VHDL und SystemC, Ser. Grundlagen der Elektro- und Informationstechnik. München: Oldenbourg Wissenschaftsverlag, 2013
- [20] Lienig, J.; Brümmer, H.: Elektronische Gerätetechnik: Grundlagen für das Entwickeln elektronischer Baugruppen und Geräte. Berlin, Heidelberg: Springer, 2014
- [21] Maneatis, J.: Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques. Solid-State Circuits, IEEE Journal of, Bd. 31, Nr. 11, S. 1723–1732, Nov. 1996



- [22] Mizuno, M.; Yamashina, M.; Furuta, K.; Igura, H.; Abiko, H.; Okabe, K.; Ono, A.; Yamada, H.: A ghz mos adaptive pipeline technique using mos current-mode logic. Solid-State Circuits, IEEE Journal of, Bd. 31, Nr. 6, S. 784–791, Juni 1996
- [23] Reif, K.: Batterien, Bordnetze und Vernetzung, Ser. Bosch Fachinformation Automobil. Wiesbaden: Vieweg + Teubner, 2010
- [24] Ritzert, M.: Development and Test of a High Performance Multi Channel Readout System on a Chip with Application in PET/MR. Diss.: Naturwissenschaftlich-Mathematische Gesamtfakultät, Universität Heidelberg, 2014



- [25] Thil, C. J.: A Novel Two-Dimensional X-Ray Detector for Time Resolved Synchrotron Applications. Diss.: Naturwissenschaftlich-Mathematische Gesamtfakultät, Universität Heidelberg, 2014
- [26] Tripathy, A. K.; Prathiba, A.; Bhaaskaran, V. S. K.: A new Improved MCML Logic for DPA Resistant Circuits. International Journal of VLSI Design & Communication Systems (VLSICS), Bd. 4, S. 63–75, Okt. 2013
- [27] Usama, M.; Kwasniewski, T.: Design and Comparison of CMOS Current Mode Logic Latches. In Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on, Bd. 4, (Mai 2004)



- [28] Veale, G. I. P.: Low Phase Noise 2 GHz Fractional- n CMOS Synthesizer IC. Diss.: Faculty of Engineering, Built Environment & Information Technology, University of Pretoria, Süd Afrika, 2010
- [29] Verma, P.; Mishra, R. A.: Article: Temperature Dependence of Propagation Delay Characteristic in LECTOR based CMOS Circuit. IJCA Special Issue on Electronics, Information and Communication Engineering, Bd. ICEICE, Nr. 6, S. 28–30, Dez. 2011
- [30] Yeo, K.; Do, M.; Boon, C.: Design of CMOS RF Integrated Circuits and Systems. Singapore: World Scientific, 2010