

Differentielle Stromlogik

Fakultät für Physik und Astronomie
 Ruprecht-Karls-Universität Heidelberg

Zusammenfassung – Im Rahmen dieser Arbeit wird eine differentielle Stromlogik (DCL, Differential Current Logic) mit kleinem Signalhub, wie in [1] eingeführt, mit besonderem Augenmerk auf das Lastnetzwerk vorgestellt. Ausgehend von dem Inverter in der hier präsentierten Logik wird die Implementierung weiterer Grundelemente bis hin zum Latch und Multiplexer betrachtet.

Keywords – *Current-Mode Logic, Differential Logic, Differential Current-Logic, Mixed Signal Applications*

I. EINLEITUNG

Die weitverbreitete Complementary Metal-Oxide-Semiconductor (CMOS) Technologie, bestehend aus Paaren von p-Kanal und n-Kanal Metal-Oxide-Semiconductor (MOS) Transistoren, zeichnet sich durch die geringe statische Leistungsaufnahme (aufgrund des geringen statischen Stromes), hoher Packungsdichte und einer hohen Noise Margin [2] aus. Als nachteilig erweisen sich die dynamische Leistungsaufnahme, die proportional mit der Frequenz, d. h. mit der Schaltgeschwindigkeit der Transistoren, zunimmt sowie die Anfälligkeit gegenüber elektromagnetischen Einstreuungen. Diese sind insb. kapazitive Einkopplungen, wie Übersprechen, das proportional zum Spannungshub des Signals ist, die die maximale Schaltgeschwindigkeit reduzieren. Angemerkt sei, dass um den Effekt des gegenseitigen Aufhebens von Gleichtaktstörungen ausnutzen zu können, die Signalleitungen möglichst parallel u. räumlich nah zueinander anzuordnen sind. Des Weiteren sollten die Signalleitungen die gleichen Leitungslängen besitzen [3]. Trotz des kleinen statischen Stromes einer CMOS-Schaltung entstehen zum Schaltzeitpunkt Stromspitzen von der Versorgungsspannung gegen Masse, die auf andere Schaltungsteile übergekoppelt werden können und so zu deren Beschädigung führen können (vgl. Latch-up Effekt) [4].

Symmetrische differentielle Stromlogiken, wie z. B. die MOS Current Mode Logic (MCML), nutzen als Ein- und Ausgangsgröße für jedes logische Signal zwei Signale, d. h. das eigentliche Signal sowie das invertierte Signal, die ein Differenzsignal bilden [5], sodass diese aufgrund der Differenzbildung besser gegen äußere elektromagnetische Einflüsse geschützt sind [6]. Angemerkt sei, dass der logische „Low“-Zustand, z. B. durch ein negatives Differenzsignal, gebildet wird, vice versa für den „High“-Zustand.

Bedingt durch den konstant fließenden Strom in der MCM-Logik werden Stromstöße während des Schaltens der

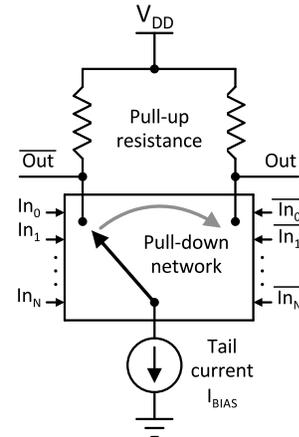


Abbildung 1: Grundsätzlicher Aufbau einer differentiellen Logikzelle, aus [9] entnommen

Transistoren vermieden. Weiterhin reduziert die differentielle Signalübertragung die Auswirkungen von Störungen, was zu einer Reduzierung der Fehleranfälligkeit führt und somit die Verbreitung der MCM-Logik in Hochgeschwindigkeitsanwendungen erklärt [7]–[9].

Die vorliegende Arbeit gliedert sich wie folgt: In Abschnitt II *Differentielle Stromlogik* werden die grundsätzliche Funktionsweise sowie die Vor- und Nachteile der differentiellen Stromlogik vorgestellt, um in Abschnitt III *Lastschaltkreis* den in dieser Arbeit untersuchten DCL-Lastkreis sowie die induktive Spannungsüberhöhung (inductive peaking) zu erläutern. Anschließend werden in Abschnitt IV *Logikgatter in DCL* die Schaltpläne für die Grundelemente der DCL auf Transistorebene entwickelt, um ausgehend von diesen Strukturen komplexere Gatter, wie das *D-Latch*, und den 2-zu-1-Multiplexer zu betrachten. Abschließend werden die Ergebnisse dieser Arbeit in Abschnitt V *Schlussbemerkungen* zusammengefasst.

II. DIFFERENTIELLE STROMLOGIK

Der grundsätzliche Aufbau einer DCL-Zelle, wie in Abbildung 1 dargestellt, setzt sich zusammen aus einem Pull-Down- (PDN) und Pull-Up-Netzwerk¹ (PUN, s. a. Abschn. III) sowie einer Konstantstromquelle. Alle Ein-

¹wenn betätigt – PUN zieht leitende Verbindung auf „High“ u. PDN zieht diese auf den „Low“-Pegel [10]

und Ausgangssignale sind differentiell, d. h. das für ein Eingangssignal In_n ebenfalls dessen Komplement $\overline{In_n}$ (wobei $\{\cdot\}$ die Kurzschreibweise für die Inversion darstellt) benötigt wird. Abhängig von der logischen Funktion, die durch das PDN implementiert wird, fließt der Strom I_0 durch einen der beiden Zweige, sodass an den Ausgängen Out u. \overline{Out} , ein Differenzsignal, z. B. $\Delta V_{out} = V_{out} - V_{\overline{out}}$ (wobei die Wahl des Minuenden und Subtrahenden von der zu implementierenden logischen Funktion bestimmt wird), gebildet wird. Der Ausgang an dem Pfad ohne Stromfluss wird auf V_{DD} , d. h. „High“, gezogen; das Potential am komplementären Ausgang wird aufgrund des Stromflusses und des damit verbundenen Spannungsabfalls über der Pull-Up Last auf $V_{DD} - I_0 R_L$ (logisch „Low“) reduziert, d. h., dass der Ausgangsspannungshub im Gegensatz zur CMOS-Logik nicht „rail-to-rail“ ist. Durch den reduzierten Ausgangsspannungshub, gegeben in Gl. 1 (mit V_{OH} u. V_{OL} als die Spannung am Ausgang Out für das „High“ bzw. „Low“-Signal), für den Fall, dass das PDN mit einem Ohm'schen Widerstand angenommen wird, sinkt die Anfälligkeit gegenüber Fehlern, die durch Übersprechen verursacht werden [11].

$$\Delta V = V_{OH} - V_{OL} = V_{DD} - (V_{DD} - I_0 R_L) = I_0 \cdot R_L \quad (1)$$

Entsprechend Gleichung 2, die die Schaltung zu einem RC -Tiefpass 1. Ordnung vereinfacht, reduziert ein kleiner Ausgangsspannungshub die Gatterlaufzeit t_{pd} [7]. Wobei C_L die Lastkapazität ist, die vom konstanten Strom I_0 auf die Spannung ΔV geladen werden muss [12].

$$t_{pd} = C_L \cdot R_L = \frac{C_L \cdot \Delta V}{I_0} \quad (2)$$

Die kleine Verzögerungszeit t_{pd} (im Vgl. zur CMOS-Technologie) erlaubt der DCL höhere Taktfrequenzen als der CMOS-Logik [9].

Bedingt durch den konstanten Stromfluss ergibt sich ein statischer Leistungsverbrauch entsprechend Gleichung 3, der auch dazu beiträgt, Stromspitzen während des Schaltens zu vermeiden – im Gegensatz zu CMOS-Technologie steigt der Strom und damit der Leistungsverbrauch nicht mit der Frequenz an [9], [12].

$$P_{MCML} = V_{DD} \cdot I_0 \quad (3)$$

Im Vergleich zu der CMOS-Logik ergeben sich die folgenden Vor- bzw. Nachteile:

A. Vorteile der differentiellen Stromlogik

- Konstanter Stromfluss unabhängig von der Frequenz, sodass Stromspitzen während Schaltvorgängen vermieden werden
- Differentielle Signalübertragung vermindert den Einfluss von Störeinkopplungen („Common-Mode Noise Rejection“ [9])
- Kleiner Signalhub reduziert die kapazitive Überkopplung in andere Schaltungsteile
- Über die Wahl von V_{SS} (in der von [1] vorgeschlagenen Last) kann der Ausgangsspannungshub und

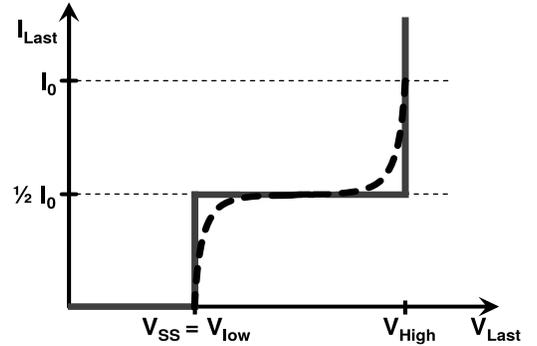


Abbildung 2: Kennlinie einer DCL-Last – in grau ideale Last u. in schwarz approx. Last, in Anlehnung an [1]

damit die Verzögerungszeit t_{pd} reduziert werden (s. a. Ansch. III)

- Einfachere Umsetzung der Negation durch Änderung der Festlegung von Signal u. invertiertem Signal am Ein- bzw. Ausgang, z. B. AB zu $A\overline{B}$, $\overline{A}\overline{B}$ etc.
- Einzelne Boole'sche Funktionen, wie UND und ODER, können durch Invertierung ineinander überführt werden, d. h. beispielsweise $AB = \overline{\overline{A} + \overline{B}}$ (vgl. De Morgan'sche Gesetz)

B. Nachteile der differentiellen Stromlogik

- Konstanter Stromfluss bewirkt eine permanente Leistungsaufnahme
- Höherer Bedarf an benötigten Transistoren [1]
- Doppelte Anzahl an Signalleitungen, da die Signale differentiell sind
- Aufwendigerer Aufbau mit konstanter Stromquelle und komplexerer Last

III. LASTSCHALTkreis

Thema dieses Abschnittes ist der Lastschaltkreis – im ersten Unterabschnitt wird der DCL-Lastkreis nach [1] beschrieben, um im zweiten Unterabschnitt die induktive Spannungsüberhöhung, als eine mögliche Erweiterung eines Lastkreises zum Verringern der Verzögerungszeit, vorzustellen.

A. DCL-Lastkreis

Die im Rahmen dieser Arbeit beschriebene DCL besteht aus einem PDN auf Grundlage des differentiellen Paares, einer Konstantstromquelle zum Erzeugen des Stromes I_0 , hier umgesetzt mit einem p-Kanal MOS (PMOS) Transistor, und einem PUN. Abhängig von den am PDN anliegenden Signalen wird der konstante Strom I_0 jeweils über einen Zweig des PUN geleitet und dort in einen Spannungsabfall umgesetzt. Als PUN dient das in [1] vorgeschlagene Lastnetzwerk.

Das Lastnetzwerk soll eine Ausgangskennlinie erzeugen, sodass zwischen dem „High“-Pegel (kein Stromfluss) und dem „Low“-Pegel (I_0 fließt) ein Strom von $I_0/2$ die Lastkapazitäten möglichst identisch für jeden Zweig laden bzw. entladen kann, womit die Anstiegs- und Abfallzeiten des Ausgangssignals gleich sind (vgl. Gl. 2). Weiterhin ist es Ziel des Lastnetzwerkes einen Signalpegel zu erzeugen, der die Ansteuerung weiterer Gatter in DCL erlaubt. Dargestellt ist die Kennlinie für eine ideale DCL-Last in Abb. 2.

Die ideale Last wird durch die Parallelschaltung einer Stromquelle, realisiert als NMOS-Transistor, und einer Diode, umgesetzt als „diode-connected“-NMOS, approximiert.

Abbildung 3 zeigt die Strom-Spannungs-Kennlinien beider Bauelemente, die Überlagerung der beiden Kennlinien sowie die I - U -Kennlinie der idealen DCL-Last sind in Abb. 2 gegenübergestellt – weiterhin zeigt Abb. 5 (rechts) die schaltungstechnische Realisierung. Wobei die Spannung V_{Bias} genutzt wird, um die Stromquelle auf $I_0/2$ einzustellen und V_{SS} , d. h. das Potential an der Source der Stromquelle dient dazu den unteren Signalpegel und somit den Spannungshub zu verkleinern (vgl. Abb. 2). Angemerkt sei, dass $V_{SS} = V_{low}$ mit dem „Low“-Pegel korrespondiert.

Abb. 4 zeigt die Ergebnisse der Simulation für eine DCL-Last, es zeigt sich, dass die Kurve bei $I_0/2$ abflacht und für höhere Lastspannungen von neuem ansteigt.

Eine alternative Implementierung der DCL-Last bestehend aus einem PMOS-Transistor, als Stromquelle, dessen Strom mittels V_{bias} eingestellt wird, und einem NMOS-Transistor als Diode ist in Abbildung 5 (links) dargestellt [13]. Angemerkt sei, dass $V_{DD2} > V_{DD1}$ gilt. Die Abb. 6 zeigt die I_{Last} - U_{Last} -Kennlinien der DCL-Last – der „Low“-Pegel (I_0 fließt) wird durch die Dioden-Charakteristik des NMOS bestimmt und die PMOS-Stromquelle definiert den „High“-Pegel (kein Stromfluss).

B. Induktive Spannungsüberhöhung

Eine Möglichkeit zur weiteren Reduzierung der Verzögerungszeit t_{pd} (Gl. 2) stellt die induktive Spannungsüberhöhung mittels aktiver Last dar. Die grundlegende Funktionsweise der Schaltung, dargestellt in Abb. 7, basiert darauf, dass wenn der NMOS-Transistor schaltet, die Induktivität L den sich stark ändernden Strom I_D behindert, sodass

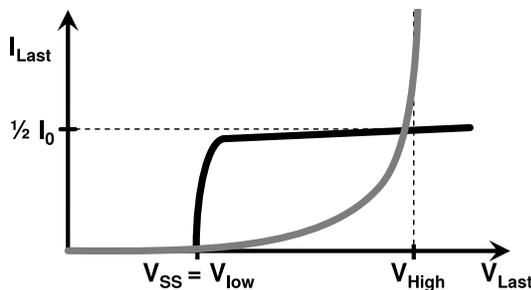


Abbildung 3: Kennlinie einer DCL-Last – in grau „diode-connected“-NMOS u. schwarz NMOS-Stromquelle, in Anlehnung an [1]

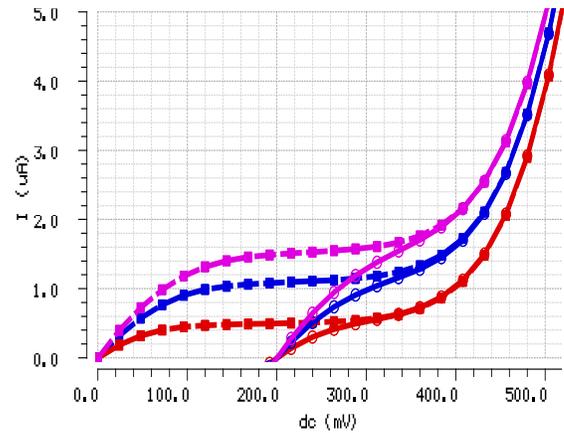


Abbildung 4: Simulation der I_{Last} - U_{Last} -Kennlinien einer DCL-Last für verschiedene Biasströme I_0 von $1 \mu A$ (rot), $2 \mu A$ (blau) u. $3 \mu A$ (lila) sowie einer Source-Spannung von $U_{SS} = 0 mV$ (durchgängige Linie) bzw. $200 mV$ (Strichlinie)

dieser über die Lastkapazität C_L fließen muss und diesen auf- bzw. entlädt, d. h. der nötige Spannungspegel wird früher erreicht.

Dieser Effekt kann durch die in Abb. 8 gezeigte Implementierung mittels NMOS u. PMOS-Transistoren ebenfalls erzielt werden.

Angemerkt sei, dass sich der PMOS-Transistor im linearen Bereich befindet, womit sein Widerstandsverhalten dem eines Ohm'schen Widerstandes entspricht.

Der NMOS-Transistor verhält sich wie folgt: Für niedrige Frequenzanteile ist die Gate-Source-Kapazität C_{GS} sehr klein (damit ist die Impedanz des Kondensators sehr groß), sodass aufgrund der Gate-Drain-Verbindung (über den PMOS-Widerstand) ein „diode-connected“-NMOS mit dem Widerstand $r = 1/g_m$, mit g_m als Transkonduktanz, besteht.

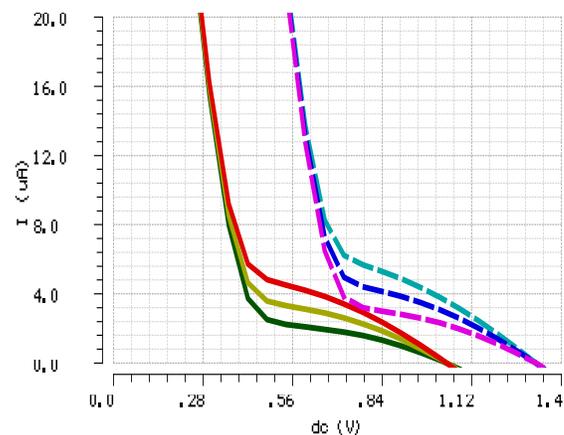


Abbildung 6: I_{Last} - U_{Last} -Kennlinien einer DCL-Last, bestehend aus PMOS-Stromquelle u. NMOS „diode-connected“-NMOS, für $V_{DD2} = 1,8 V$ (durchgängige Linie) u. $2,1 V$ (Strichlinie)

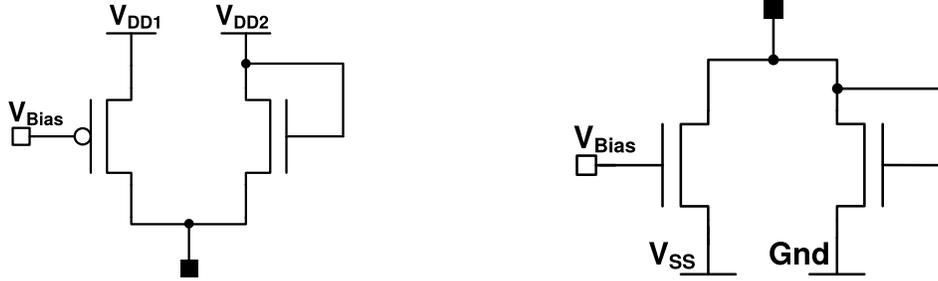


Abbildung 5: Implementation der vorgeschlagenen DCL-Last mit PMOS- (links) u. NMOS-Stromquelle (rechts), in Anlehnung an [1]

Für hochfrequente Signalkomponenten wird C_{GS} groß (u. die Impedanz des Kondensators klein), sodass der NMOS überbrückt wird, womit C_{GS} u. der PMOS-Widerstand einen RC -Tiefpass bilden, d. h. analog der Impedanz einer Induktivität steigt der Widerstand der Schaltung für hohe Frequenzen an [14], womit der Strom die Lastkapazität am Ausgang schneller lädt und der nötige Spannungspegel schneller erreicht werden kann.

Die Simulationsergebnisse für einen Lastkreis mit (blau) und ohne (grün) induktiver Spannungsüberhöhung sind in Abbildung 9 dargestellt, es zeigt sich das die Flanksteilheit (slew rate) gesteigert werden kann.

IV. LOGIKGATTER IN DCL

In diesem Abschnitt wird exemplarisch eine grundsätzliche Vorgehensweise zum Entwurf verschiedener Logikgatter in DCL gezeigt. Als Grundelement für die Umsetzung von Logikschaltungen in DCL dient hier der DCL-Inverter bzw. Puffer, diese Gatter können durch das Tauschen der Ausgänge ineinander überführt werden, dargestellt in Abb. 10 – die Transistoren (M1 u. M2.) dienen der Lenkung des Stromes I_0 und sind in allen Schaltungen in DCL vorhanden.

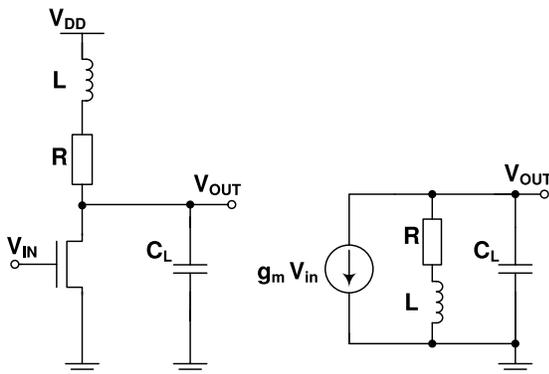


Abbildung 7: links: Grundschialtung induktive Spannungsüberhöhung, rechts: Kleinsignalersatzschaltbild, in Anlehnung an [14]

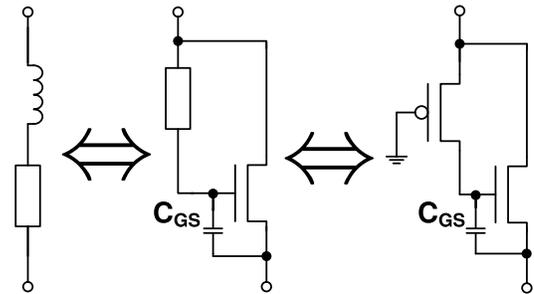


Abbildung 8: Äquivalente Lasten zur Umsetzung der induktiven Spannungsüberhöhung, in Anlehnung an [14]

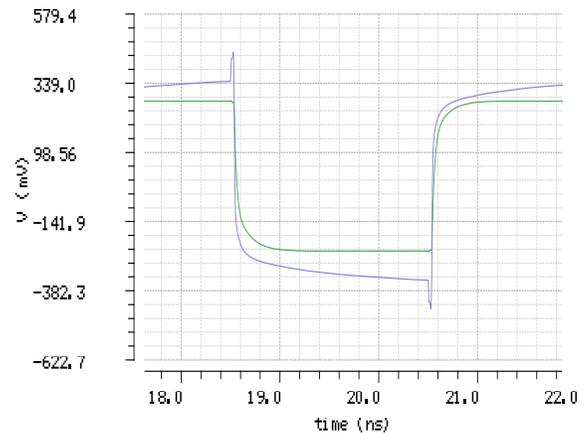


Abbildung 9: Simulation des differentiellen Ausgangssignals: mit induktiver Spannungsüberhöhung (grün) und ohne induktiver Spannungsüberhöhung (blau)

A. UND- u. ODER-Gatter in DCL

Die UND-Schaltung $Q = A B$ (s. Abb. 11) kann durch das in Reihe Schalten von zwei an der Source verbundenen PMOS-Transistoren gebildet werden, sodass i_{AB} fließt, wenn M1 u. M3 betätigt sind, d. h. wenn A u. B „High“ sind. Zur Erzeugung des inversen Stromes

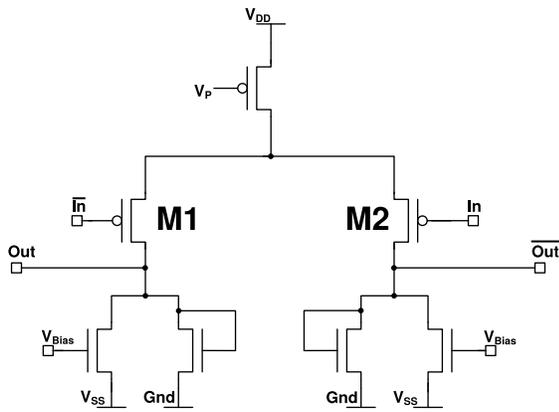


Abbildung 10: Inverter in DCL, mit exemplarischer Stromquelle u. Lastwiderstand

$i_{\overline{A \cdot B}}$ und des Ausgangssignals, wird der Pfad M2 – M4 miteinander verbunden, was einer Parallelschaltung von A u. B entspricht. Das Lastnetzwerk (bestehend aus einer DCL-Last je Pfad bzw. Strom) formt die Ströme $i_{A \cdot B}$ bzw. $i_{\overline{A \cdot B}}$ in eine Ausgangsspannung um.

Ausgehend von der UND- kann der Entwurf der ODER-Schaltung durch die Anwendung des De Morgan'schen Gesetzes erfolgen.

In Fällen, in denen die ODER-Funktion Bestandteil einer weiteren Funktion ist, bietet es sich an $Q = A \cdot B$ und \overline{Q} , jeweils als Parallelschaltung des DCL-Puffers zu implementieren, wie in Abb. 11 darstellt [15].

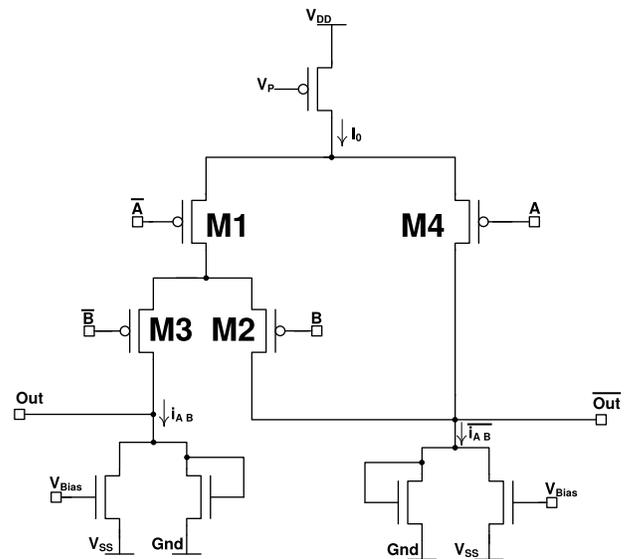


Abbildung 11: Prinzipielle Implementierung der: UND- (oben) u. ODER-Funktion (unten)

B. XOR, Multiplexer und D-Latch

Weitere Gatter lassen sich aus diesen Grundfunktionen bilden:

1) XOR: $Q = A \oplus B = \overline{A} B + A \overline{B}$, lässt sich aus den jeweiligen Verknüpfungen der Einzelterme, bestehend aus UND- u. ODER-Funktionen, zusammensetzen – dargestellt in Abb. 13.

2) 2-zu-1-Multiplexer: $Q = A S + \overline{S} B$, kann ausgehend vom XOR abgeleitet werden, wobei S das Steuersignal darstellt. Dabei bestimmt der Pegel des Steuersignals, ob der Strom I_0 entweder über den M2- oder M1-Pfad fließt und damit, ob das A od. B-Signal am Ausgang anliegt, sodass am nicht aktiven Zweig das „High“-Potential anliegt.

3) D-Latch: Vergleicht man die Boole'sche Funktionsbeschreibung eines D-Latches $Q_n = C D + \overline{C} Q_{n-1}$, mit der des 2-zu-1-Multiplexers so ist ersichtlich, dass beide Schaltungen über eine ähnliche Struktur verfügen müssen.

Hierbei stellt C das Taktsignal und D das Eingangssignal dar, welches während der „High“-Phase von C übernommen wird und über die „Low“-Phase gehalten werden muss.

Als sequentielle Schaltung, d.h. als Schaltungen mit einem „Gedächtnis“, verfügt diese über eine Rückführung – was der Schaltung erlaubt einen Wert zu halten. Die Selbsthalte-Funktion wird durch die Kaskadierung von zwei

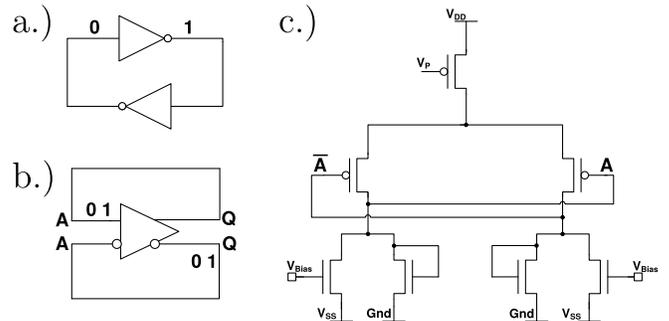


Abbildung 12: Prinzipdarstellung Rückkopplung (links) u. Latch-Speicherelement (rechts)

Invertiern realisiert und ist als Prinzipschaltbild wie auch als DCL-Umsetzung in Abb. 12 dargestellt.

Die Schaltung des D-Latches ist in Abbildung 13 dargestellt – wenn in der C „High“-Phase z. B. ein „High“-Signal am D-Eingang anliegt und somit I_0 über M2 – M3 fließt, liegt das Gate von M5 an „High“-Potential. Folglich sperrt M5 und das Gate von M6 wird auf „Low“-Potential gezogen,

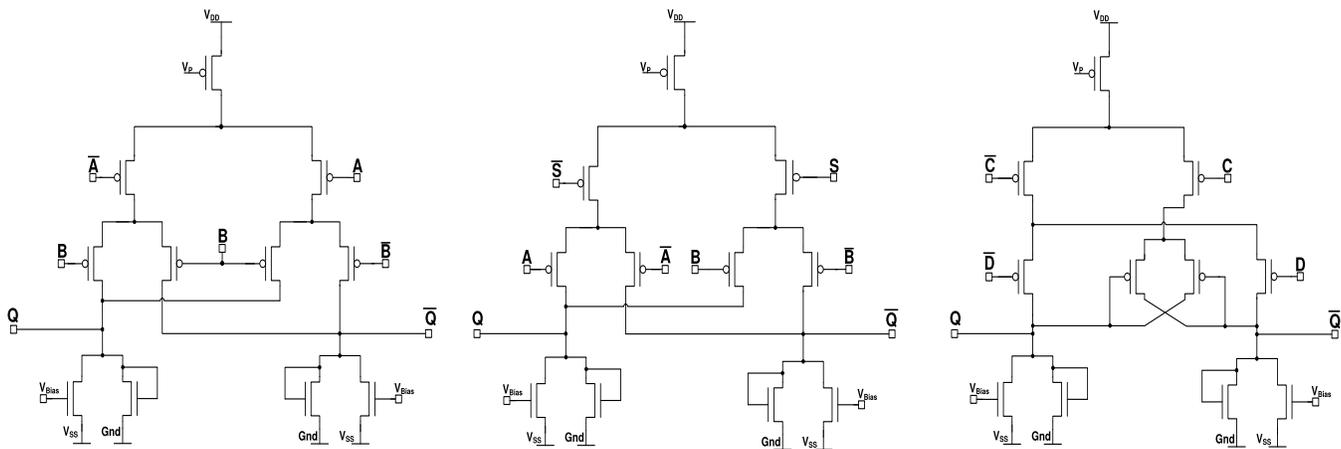


Abbildung 13: DCL-Gatter: XOR (links), 2-zu-1-Multiplexer (mitte), D-Latch (rechts)

d. h. M6 wird niederohmig, sodass im nächsten Takt, wenn C auf „Low“-Potential ist, der Strompfad über M1 – M6 zur Last geschlossen ist und der Stromfluss weiterhin zu einem Spannungsabfall über der DCL-Last führt. Damit wird das in der C „High“-Phase anliegende Signal gehalten.

Komplexere Gatter, wie z. B. AND3, NAND3, XOR3, Multiplizierer etc., können mithilfe dieser Strukturen gebildet werden.

V. SCHLUSSBEMERKUNGEN

Im Rahmen dieser Arbeit wurde die differenzielle Stromlogik mit kleinem Ausgangsspannungshub vorgestellt und mit der CMOS-Technologie verglichen. Es zeigt sich, dass sich die DCL, aufgrund der geringen Verzögerungszeit, besonders für Hochgeschwindigkeitsanwendungen eignet. Überdies erlaubt der differenzielle Charakter dieser Logik die einfache, d. h. im Vergleich zur CMOS-Logik, Implementierung von Latch und Flip-Flop-Schaltungen.

LITERATURVERZEICHNIS

- [1] P. Fischer und E. Kraft, „Low swing differential logic for mixed signal applications“, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Bd. 518, Nr. 1 – 2, S. 511–514, 2004, Frontier Detectors for Frontier Physics.
- [2] W. K. Chen, *Fundamentals of Circuits and Filters*, Ser. The Circuits and Filters Handbook, 3rd Edition. Boca Raton, FL, USA: CRC Press, 2009.
- [3] M. Alioto, S. Badel und Y. Leblebici, „Optimization of the Wire Grid Size for Differential Routing: Analysis and Impact on the Power-Delay-Area Tradeoff“, *Microelectronics Journal*, Bd. 41, Nr. 10, S. 669–679, 2010.
- [4] D. T. Comer, *Introduction to Mixed Signal VLSI*. Array Publishing Company, 1994.
- [5] H. Hartl, E. Krasser, G. Winkler, W. Pribyl und P. Söser, *Elektronische Schaltungstechnik: mit Beispielen in PSpice*, Ser. Elektrotechnik: Theoretische Elektrotechnik. München: Pearson Studium, 2008.
- [6] K. Reif, *Batterien, Bordnetze und Vernetzung*, Ser. Bosch Fachinformation Automobil. Wiesbaden: Vieweg + Teubner, 2010.
- [7] A. K. Tripathy, A. Prathiba und V. S. K. Bhaaskaran, „A new Improved MCML Logic for DPA Resistant Circuits“, *International Journal of VLSI Design & Communication Systems (VLSICS)*, Bd. 4, S. 63–75, Okt. 2013.
- [8] M. Usama und T. Kwasniewski, „Design and Comparison of CMOS Current Mode Logic Latches“, in *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, Bd. 4, Mai 2004.
- [9] A. Shapiro und E. G. Friedman, „MOS Current Mode Logic Near Threshold Circuits“, *Journal of Low Power Electronics and Applications*, Bd. 4, Nr. 2, S. 138–152, 2014.
- [10] F. Kesel und R. Bartholomä, *Entwurf von digitalen Schaltungen und Systemen mit HDLs und FPGAs: Einführung mit VHDL und SystemC*, Ser. Grundlagen der Elektro- und Informationstechnik. München: Oldenbourg Wissenschaftsverlag, 2013.
- [11] J. Hu, H. Ni und Y. Xia, „High-Speed Low-Power MCML Nanometer Circuits with Near-Threshold Computing“, *Journal of Computers*, Bd. 8, Nr. 1, S. 129–135, Jan. 2013.
- [12] K. Yeo, M. Do und C. Boon, *Design of CMOS RF Integrated Circuits and Systems*. Singapore: World Scientific, 2010.
- [13] C. J. Thil, „A Novel Two-Dimensional X-Ray Detector for Time Resolved Synchrotron Applications“, Diss., Naturwissenschaftlich-Mathematische Gesamtfakultät, Universität Heidelberg, 2014.
- [14] G. Lee, *Advances in Electrical and Electronics Engineering*: Ser. WIT Transactions on Engineering Sciences. Southampton, U.K.: WIT Press, 2014.
- [15] M. Alioto und G. Palumbo, *Model and Design of Bipolar and MOS Current-Mode Logic: CML, ECL and SCL Digital Circuits*. Heidelberg: Springer-Verlag, 2006.